

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 23/62 (2006.01)

H01L 27/02 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510091924.8

[45] 授权公告日 2008 年 8 月 13 日

[11] 授权公告号 CN 100411168C

[22] 申请日 2005.8.8

[21] 申请号 200510091924.8

[73] 专利权人 矽统科技股份有限公司

地址 台湾省新竹科学园区研新一路 16 号

[72] 发明人 柯明道 李健铭

[56] 参考文献

CN1458690A 2003.11.26

US6078068A 2000.6.20

审查员 王 欣

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

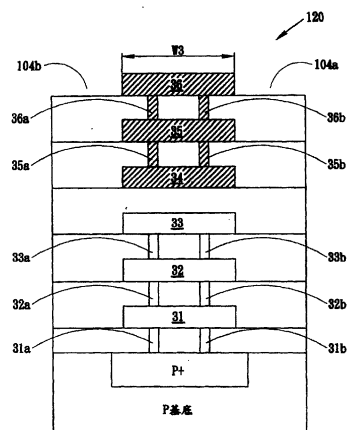
权利要求书 3 页 说明书 10 页 附图 9 页

[54] 发明名称

静电放电指环结构

[57] 摘要

本发明公开了一种新的静电放电总线指环结构，其中的指环包含了多个金属层，金属层和金属层之间可由导电插塞 (conductive plug) 电性连接，借着布局 (layout) 可以用氧化区将指环分隔出互不电性连接的两个指环区域，其中一个指环区域是 Vss 静电放电总线，另一个指环区域是 Vdd 静电放电总线。



1. 一种静电放电指环结构，包含：

一第一静电放电结构，位于一芯片的边缘，且电性连接于一第一电源结构，该第一静电放电结构由多个第一导体层所组成，其中该第一静电放电结构为一 V_{ss} 静电放电总线，且该第一电源结构为一 V_{ss} 电源总线；及

一第二静电放电结构，相邻于该第一静电放电结构且位于该第一静电放电结构的上方，并与其电性互相隔离，该第二静电放电结构电性连接于第二电源结构，且由多个第二导体层所组成，其中该第二静电放电结构为 V_{dd} 静电放电总线，且该第二电源结构为 V_{dd} 电源总线；

其中该第一静电放电结构与该第二静电放电结构的剖面图呈一阶梯形状，且该第一静电放电结构与该第二静电放电结构的形状互补。

2. 根据权利要求 1 所述的静电放电指环结构，其特征在于，该第一静电放电结构或该第二静电放电结构于该芯片上形成一封闭的环状结构。

3. 根据权利要求 1 所述的静电放电指环结构，其特征在于，该第一静电放电结构或该第二静电放电结构于该芯片上形成一非封闭的环状结构。

4. 根据权利要求 1 所述的静电放电指环结构，其特征在于，该每一该等第一导体层和每一该等第二导体层上下之间形成一介电材质。

5. 根据权利要求 4 所述的静电放电指环结构，其特征在于，每一该等第一导体层上下之间和每一该等第二导体层上下之间由至少一导电

插塞穿过该介电材质，而进行上下每一该等第一导体层和上下每一该等第二导体层的电性连结。

6. 一种静电放电指环结构，包含：

一第一静电放电结构，位于一芯片的边缘，且电性连接于一第一电源结构，该第一静电放电结构由多个第一导体层所组成，其中该第一静电放电结构为一 V_{ss} 静电放电总线，且该第一电源结构为一 V_{ss} 电源总线；及

一第二静电放电结构，相邻于该第一静电放电结构且位于该第一静电放电结构的上方，并与其电性互相隔离，该第二静电放电结构电性连接于第二电源结构，且由多个第二导体层所组成，其中该第二静电放电结构为 V_{dd} 静电放电总线，且该第二电源结构为 V_{dd} 电源总线；

其中该第一静电放电结构的其中之一该等第一导体层与该第二静电放电结构的其中之一该等第二导体层位于相同层级，且其俯视图的形状呈凹凸楔合形状。

7. 根据权利要求 6 所述的静电放电指环结构，其特征在于，该第一静电放电结构或该第二静电放电结构于该芯片上形成一封闭的环状结构。

8. 根据权利要求 6 所述的静电放电指环结构，其特征在于，该第一静电放电结构或该第二静电放电结构于该芯片上形成一非封闭的环状结构。

9. 根据权利要求 6 所述的静电放电指环结构，其特征在于，该每一该等第一导体层和每一该等第二导体层上下之间形成一介电材质。

10. 根据权利要求 9 所述的静电放电指环结构, 其特征在于, 每一该等第一导体层上下之间和每一该等第二导体层上下之间由至少一导电插塞穿过该介电材质, 而进行上下每一该等第一导体层和上下每一该等第二导体层的电性连结。

静电放电指环结构

【技术领域】

本发明是有关于一种静电放电总线的指环结构，特别是有关于可以让指环结构同时被 VSS 总线和 VDD 总线所用的结构。

【先前技术】

大部分的集成电路应用都有一些静电放电 (ESD) 电路系统 (electrostatic discharge circuitry)，该电路系统可以用来吸收和释放那些可能会破坏电路设备的高压静电电荷，其中一种静电放电电路的类型为输出/输入 (I/O) 单元，该输出输入单元的作用包括了可以将信号从 I/O 焊垫 (pad) 作用到核心电路区；I/O 单元也包括了放大和驱动从核心电路内部到外部 I/O 焊垫的信号，该焊垫可能会被耦合到封装元件的引线。

一般来说，由人类操控产生和移动的静电电荷大概可以有 2000 伏特 (大约是 1.3 安培的电流流过 1500 欧姆)，电荷被导出时会被传送到封装元件的引线；因此，大部分的静电放电电路系统都有吸收和释放多到可以造成静电放电事件的电荷的功能。

与本发明相关的先前技术，可以参考美国第 6,0780,68 号专利，该专利提供了一种具有静电放电保护结构的集成电路。图 1A 为封闭型的指环结构，图 1B 为非封闭型的指环结构，在此以图 1A 的封闭型的指环结构做说明，然而图 1B 所示的非封闭型的指环结构的元件以及其功能均与图 1A 所示的封闭型的指环结构相同，在此不再重复陈述。参考图 1A 为半导体芯片的俯视图，由图 1A 可以知道集成电路的芯片包括了一个具有多个晶体管元件的核心逻辑 (core logic region)，上述的晶体

管元件相互连接以形成特定集成电路元件；多个输入/输出单元(input/output cell)106被限定在集成电路芯片的周围。该先前技术提供了一个在芯片边缘具有静电放电功能总线的指环(ESD bus die edge seal)120被放置在多个输入/输出单元106的外围，上述的输入输出单元106紧密接近集成电路芯片的外围，此外在部份输入/输出单元106中包含着多个Vss电源供应单元，在多个Vss电源供应单元和芯片边缘上静电放电总线的指环之间连接着多个静电放电交叉耦合二极管(ESD cross-coupled diodes)110，芯片边缘中联合的静电放电总线的指环提供了一个紧密的结构。

上述的半导体芯片内有键结焊垫108且具有ESD总线边缘的指环120，静电放电总线芯片边缘的指环120经由ESD交叉耦合二极管110被耦合在被选定的输入/输出单元106，在芯片边缘的静电放电总线的指环120的外围是第一圈氧化区表面104a，ESD总线芯片边缘的指环120的内围是第二圈氧化区表面104b，为了要提供有效率的电荷消耗路径来防止在工艺中、封装中甚至于在元件被装运和积体化变成产品中引起高电压ESD事件，所有的Vss单元被连接到在芯片边缘具有静电放电总线功能的指环120。

图2为先前技术半导体芯片指环的剖面图，和图1A互相对照之下，显示了在芯片边缘具有静电放电功能总线(ESD Bus)的指环120由第一层金属层21、第二层金属层22、第三层金属层23、第四层金属层24、第五层金属层25和第六层金属层26所组成，各金属层和金属层之间填充有氧化层以作各层间结构上的适当区隔，用以作为半导体芯片周围的指环结构；该半导体芯片下方具有一个P基底(P-substrate)，P基底内包含一个掺质区域，该掺质区域是一个P⁺基底接点(P⁺ substrate contact)。

第一层金属层21和P⁺基底接点之间由导电接点(contact)21a和21b电性连接，第一层金属层21和第二层金属层22之间由导电插塞22a

和 22b 电性连接，第二层金属层 22 和第三层金属层 23 之间由导电插塞 23a 和 23b 电性连接，第三层金属层 23 和第四层金属层 24 由导电插塞 24a 和 24b 电性连接，第四层金属层 24 和第五层金属层 25 之间由导电插塞 25a 和 25b 电性连接，第五层金属层 25 和第六层金属层 26 之间由导电插塞 26a 和 26b 电性连接。导电插塞可以让和 ESD 总线边缘的指环结构中的金属层相互电性连接，从芯片边界 204 移动的电荷会被吸引导向由 ESD 交叉耦合二极管 210 提供的 V_{ss} 电源供应器。而 ESD 总线边缘的指环 120 宽度 W_2 介在 4 微米与 40 微米之间，对 0.35 微米工艺而言，指环宽度 W_2 多介在 6 微米到 30 微米之间。

由于先前技术中的指环只能用来当作 ESD V_{ss} 静电放电总线，这样子并无法妥善应用指环结构而降低芯片的尺寸和工艺的成本。

【发明内容】

本发明的目的在于克服上述缺点，提供了一种新的结构可以让指环同时被 V_{ss} 总线和 V_{dd} 总线所用，这样可以降低芯片的尺寸，

本发明提供了一种新的结构可以让指环同时被 V_{ss} 总线和 V_{dd} 总线所用，可以达到降低成本的目的。

本发明提供了一种新的静电放电总线指环结构，其中的指环包含了多个金属层，金属层和金属层之间用氧化层隔开，金属层和金属层之间可由导电插塞 (conductive plug) 电性连接，借着布局 (layout) 可以用氧化区将指环分隔出互相不电性连接的两个指环区域，其中一个指环区域是 V_{ss} 静电放电总线，另一个指环区域是 V_{dd} 静电放电总线，如此本发明的指环结构就可以同时被 V_{ss} 总线和 V_{dd} 总线所用。

【附图说明】

图 1A 为现有技术中具有封闭型指环结构的半导体芯片的俯视图。

图 1B 为现有技术中具有非封闭型指环结构的半导体芯片的俯视图。

图 2 为先前技术半导体芯片指环的剖面图。

图 3 为根据本发明第一实施例的指环结构的剖面图。

图 4 为根据本发明第二实施例的指环结构的剖面图。

图 5 为根据本发明第三实施例的指环结构的剖面图。

图 6 为根据本发明第四实施例的指环结构的剖面图。

图 7A 为根据本发明第五实施例的第三层金属层俯视图。

图 7B 为根据本发明第五实施例的指环结构的第一剖面图。

图 7C 为根据本发明第五实施例的指环结构的第二剖面图。

【具体实施方式】

本发明之一些实施例详细描述如下。然而，除了详细描述外，本发明还可以广泛地在其他的实施例施行，且本发明的范围不受限定，其以之后的专利范围为准。

图 3 为根据本发明第一实施例的指环结构的剖面图，和图 1A 互相对照之下，显示其中指环 120 包含了第一层金属层 31、第二层金属层 32、第三层金属层 33、第四层金属层 34、第五层金属层 35、第六层金属层 36，所有的金属层和金属层之间以氧化层隔开，第六层金属层 36 的右边是第一圈氧化区表面 104a 而左边是第二圈氧化区表面 104b。指环 120 下方有一 P 基底，P 基底内包含了一个掺质区域，该掺质区域是 P+基底接点。

第一层金属层 61 和 P+基底接点 (P+ substrate contact) 之间由导电接点 31a 和 31b 连接，第一层金属层 31 和第二层金属层 32 之间由导电插塞 32a 和 32b 连接，第二层金属层 32 和第三层金属层 33 之间由导电插塞 33a 和 33b 连接，第三层金属层 33 和第四层金属层 34 则被氧化层分隔开来电性隔离所以并不导电，第四层金属层 34 和第五层金属层 35 之间由导电插塞 35a 和 35b 连接，第五层金属层 35 和第六层金属层 36 之间由导电插塞 36a 和 36b 连接。

由图 3 可知, 在 33 和 34 之间并没有导电插塞可以电性连接, 第三层金属层 33 以下的部分为 V_{ss} 静电放电总线, V_{ss} 静电放电总线和 V_{ss} 电源总线连接, 而第四层金属层 34 以上的部分由于和下面部分的指环结构没有电性连接, 所以可以是 V_{dd} 静电放电总线, V_{dd} 静电放电总线的部分画上斜线, V_{dd} 静电放电总线和 V_{dd} 电源总线连接, V_{ss} 静电放电总线和 V_{dd} 静电放电总线之间所有组成金属层彼此都位于不同的层级且 V_{ss} 静电放电总线和 V_{dd} 静电放电总线之间电性互相隔离, 如此本实施例的结构就可以同时被 V_{ss} 静电放电总线和 V_{dd} 静电放电总线所用。不过要注意的是, 本发明的指环结构并不一定要是像图 1A 中的 110 那种封闭的环状结构, 本发明的指环结构也可以是其他非封闭的环状结构, 例如像第一 B 图所示的结构或其他形状的非封闭结构。

图 4 为根据本发明第二实施例的指环结构的剖面图, 和图 1A 互相对照之下, 显示了指环 120 包含了第一层金属层中的金属区 411 和 412、第二层金属层中的金属区 421 和 422、第三层金属层中的金属区 431 和 432、第四层金属层中的金属区 441 和 442、第五层金属层中的金属区 451 和 452、第六层金属层中的金属区 461 和 462, 所有的金属层和金属层之间以氧化层隔开, 金属区 462 的右边是第一圈氧化区表面 104a, 而金属区 461 的左边是第二圈氧化区表面 104b。指环 120 之下方有 P 基底, P 基底内包含了两个掺质区域, 左边的掺质区域是 P+基底接点、右边的掺质区域是 N 井 (N well) 和 N+基底接点, 该两个掺质区域的导电性相反。

第一层金属层中的金属区 411 和 P+基底接点之间由导电接点 41a 电性连接, 第一层金属层中的金属区 411 和第二层金属层中的金属区 421 之间由导电插塞 42a 电性连接, 第二层金属层中的金属区 421 和第三层金属层中的金属区 431 之间由导电插塞 43a 电性连接, 第三层金属层中的金属区 431 和第四层金属层中的金属区 441 由导电插塞 44a 电性连接, 第四层金属层中的金属区 441 和第五层金属层中的金属区 451 之间由导电插塞 45a 电性连接, 第五层金属层中的金属区 451 和第六层金

属层中的金属区 461 之间由导电插塞 46a 电性连接。

第一层金属层中的金属区 412 和 N⁺基底接点之间由导电接点 41b 电性连接，第一层金属层中的金属区 411 和第二层金属层中的金属区 422 之间由导电插塞 42b 电性连接，第二层金属层中的金属区 422 和第三层金属层中的金属区 432 之间由导电插塞 43b 电性连接，第三层金属层中的金属区 432 和第四层金属层中的金属区 442 由导电插塞 44b 电性连接，第四层金属层中的金属区 442 和第五层金属层中的金属区 452 之间由导电插塞 45b 电性连接，第五层金属层中的金属区 452 和第六层金属层中的金属区 462 之间由导电插塞 46 电性连接。

图 4 和图 2 比较起来，图 4 的结构就是图 2 的指环结构被氧化层分隔成左右各两个指环区域，左边指环区域的宽度 W41 和右边指环区域的宽度 W42 大约是图 2 指环宽度 W2 之一半，左边的指环区域结构和右边的指环区域结构不电性连接，所以左边的指环结构可以是 V_{ss} 静电放电总线，V_{ss} 静电放电总线和 V_{ss} 电源总线电性连接，右边的指环结构可以是 V_{dd} 静电放电总线，V_{dd} 静电放电总线的部分画上斜线，V_{dd} 静电放电总线和 V_{dd} 电源总线电性连接，V_{dd} 静电放电总线位于 V_{ss} 静电放电总线旁边且互相电性隔离，如此本实施例的结构就同时被 V_{ss} 静电放电总线和 V_{dd} 静电放电总线所用。

图 5 为根据本发明第三实施例的指环结构的剖面图，和图 1A 互相对照之下，显示了指环 120 包含了第一层金属层 51、第二层金属层分为两个金属区 521 和 522 彼此位于相同层级、第三层金属层分为 2 个金属区 531 和 532 彼此位于相同层级、第四层金属层分为两个金属区 541 和 542 彼此位于相同层级、第五层金属层 55、第六层金属层 56，第六层金属层 56 的右边是第一圈氧化区表面 104a 而左边是第二圈氧化区表面 104b。指环 120 下方有 P 基底，其中 P 基底内包含一个掺质区域，该掺质区域是一个 P⁺基底接点。

第一层金属层 51 和 P⁺基底接点之间由导电接点 51a 和 51b 电性连

接，第一层金属层 51 和第二层金属层中的金属区 521 之间由导电插塞 52a 和 52b 电性连接，第二层金属层中的金属区 521 和第三层金属层中的金属区 531 则由导电插塞 53a 和 53b 电性连接，第三层金属层中的金属区 531 和第四层金属层中的金属区 541 则由导电插塞 54a 电性连接，第二层金属层中的金属区 522 和第三层金属层中的金属区 532 之间由导电插塞 53c 电性连接，第三层金属层中的金属区 532 和第四层金属层中的金属区 542 之间由导电插塞 54b 和 54c 电性连接，而第四层金属层中的金属区 542 和第五层金属层 55 则经由导电插塞 54b 电性连接，第四层金属层 54 和第五层金属层 55 之间由导电插塞 55a 和 55b 电性连接，第五层金属层 55 和第六层金属层 56 之间由导电插塞 56a 和 56b 电性连接。

图 5 和图 3 的指环 120 结构比较起来，图 5 的结构就是指环 120 被氧化层分隔成左下部分和右上部分，本结构比图 3 和图 4 的结构复杂，左下部分的指环结构和右上部分的指环结构不电性连接，所以左下部分的指环结构可以是 Vss 静电放电总线，Vss 静电放电总线和 Vss 电源总线电性连接，右上部分的指环结构可以是 Vdd 静电放电总线，Vdd 静电放电总线和 Vdd 电源总线电性连接，如此本实施例的结构就同时被 Vss 静电放电总线和 Vdd 静电放电总线所用，和图 3 的实施例比较起来，本实施例由于分割指环 120 的氧化层结构比较不规则，Vss 静电放电总线与 Vdd 静电放电总线从剖面观的系呈阶梯形状，且该二阶梯形状的位置互相互补，藉此，可以增强该芯片的水平与垂直方向的机械强度，所以本实施例的结构比图 3 的结构更坚固而不易破碎。

图 6 为根据本发明第四实施例的指环结构的剖面图，和图 1A 互相对照之下，显示了指环 120 包含了第一层金属层 61、第二层金属层 62、第三层金属层分为 3 个金属区 631、632、633 彼此位于相同层级、第四层金属层 64、第五层金属层 65、第六层金属层 66，所有的金属层和金属层之间以氧化层隔开，第六层金属层 66 的右边是第一圈氧化区表面

104a 而左边是第二圈氧化区表面 104b。指环 120 下方有 P 基底，其中 P 基底内包含一个掺质区域，该掺质区域是一个 P+基底接点。

第一层金属层 61 和 P+基底接点之间由导电接点 61a 和 61b 电性连接，第一层金属层 61 和第二层金属层 62 之间由导电插塞 62a 和 62b 电性连接，第二层金属层 62 和第三层金属层中的金属区 632 之间由导电插塞 63a 电性连接，第三层金属层中的金属区 631 和第四层金属层 64 经由导电插塞 64a 电性连接，而第三层金属层中的金属区 633 和第四层金属层 64 则经由导电插塞 64b 电性连接，第四层金属层 64 和第五层金属层 65 之间由导电插塞 65a 和 65b 电性连接，第五层金属层 65 和第六层金属层 66 之间由导电插塞 66a 和 66b 电性连接。

图 6 和图 3 比较起来，图 6 的结构也是指环被氧化层分隔成上面部分和下面部分，上面部分的指环区域和下面部分的指环区域不电性连接，但本结构比更图 3 更复杂，所以下面部分的指环结构可以是 Vss 静电放电总线，Vss 静电放电总线和 Vss 电源总线电性连接，上面部分的指环区域可以是 Vdd 静电放电总线，Vdd 静电放电总线的部分画上斜线，Vdd 静电放电总线和 Vdd 电源总线电性连接，如此本实施例的结构就可以同时被 Vss 静电放电总线和 Vdd 静电放电总线所用，和图 3 的实施例比较起来，本实施例由于将指环结构电性隔离的氧化层形状比较不规则，所以本实施例的结构比图 3 的结构更坚固而不易破碎。

图 7A 为根据本发明第五实施例的第三层金属层俯视图，其中第三层金属层被氧化层分割成两个不电性连接的金属区 731 和 732，以俯视图的呈凹凸契合形状，而 73b、74a 和 74b 是导电插塞，沿着七 B 和七 C 两条剖面线切割下去可以分别得到七 B 图和图 7C，图 7B 为根据本发明第五实施例的指环结构的第一剖面图，由七 B 图可知，和图 1A 互相对照之下，显示了指环 120 包含了第一层金属层 71、第二层金属层 72、第三层金属层分为 2 个金属区 731 和 732 彼此位于相同层级，第四层金属层分为 2 个金属区 741 和 742 彼此位于相同层级，以俯视图的呈凹凸

契合形状，第五层金属层 75、第六层金属层 76，所有的金属层和金属层之间以氧化层隔开，第六层金属层 76 的右边是第一圈氧化区表面 104a 而左边是第二圈氧化区表面 104b。指环 120 下方有 P 基底，P 基底内包含 P+基底接点。

第一层金属层 71 和 P+基底接点之间由导电接点 71a 和 71b 电性连接，第一层金属层 71 和第二层金属层 72 之间由导电插塞 72a 和 72b 电性连接，第二层金属层 62 和第三层金属层中的金属区 732 之间由导电插塞 73b 电性连接，第三层金属层中的金属区 732 和第四层金属层中的金属区 741 经由导电插塞 74a 电性连接，第四层金属层中的金属区 742 和第五层金属层 75 之间由导电插塞 75b 和 75c 电性连接，第五层金属层 75 和第六层金属层 76 之间由导电插塞 76a 和 76b 电性连接。

图 7B 和图 3、图 4、图 5 和图 6 比较起来，图 7B 的结构也是指环被氧化层分隔成上面部分和下面部分，上面部分的指环区域和下面部分的指环区域互相电性隔离，所以下面部分的指环区域可以被 Vss 静电放电总线所用，Vss 静电放电总线和 Vss 电源总线电性连接，上面部分的指环区域可以是 Vdd 静电放电总线，Vdd 静电放电总线的部分画上斜线，Vdd 静电放电总线和 Vdd 电源总线电性连接，如此本实施例的结构就可以同时被 Vss 静电放电总线和 Vdd 静电放电总线所用。

图 7C 为根据本发明第五实施例的指环结构的第二剖面图，和图 1A 互相对照之下可知，指环 120 包含了第一层金属层 71、第二层金属层 72、第三层金属层分为 2 个金属区 731 和 732 彼此位于相同层级，第四层金属层分为 2 个金属区 741 和 742 彼此位于相同层级，第五层金属层 75、第六层金属层 76，所有的金属层和金属层之间以氧化层隔开，第六层金属层 76 的右边是第一圈氧化区表面 104a 而左边是第二圈氧化区表面 104b。指环 120 下方有 P 基底，P 基底内包含一个掺质区域，该掺质区域是一个 P+基底接点，

其中第一层金属层 71 和 P+基底接点之间由导电接点 71a 和 71b 电

性连接,第一层金属层 71 和第二层金属层 72 之间由导电插塞 72a 和 72b 电性连接,第二层金属层 62 和第三层金属层中的金属区 732 之间由导电插塞 73b 电性连接,第三层金属层中的金属区 731 和第四层金属层中的金属区 742 经由导电插塞 74b 电性连接,第四层金属层中的金属区 742 和第五层金属层 75 之间由导电插塞 75b 和 75c 电性连接,第五层金属层 75 和第六层金属层 76 之间由导电插塞 76a 和 76b 电性连接。

图 7C 和图 3、图 4、图 5 和图 6 比较起来,图 7C 的结构也是指环被氧化层分隔成上面部分和下面部分,上面部分的指环结构和下面部分的指环结构没有电性连接,所以下面部分的指环结构可以是 Vss 静电放电总线, Vss 静电放电总线和 Vss 电源总线电性连接,上面部分的指环结构可以是 Vdd 静电放电总线, Vdd 静电放电总线和 Vdd 电源总线电性连接,如此本实施例的结构就可以同时被 Vss 总线和 Vdd 总线所用。但由图 7A、图 7B 和图 7C 显示的结构比图 3、图 4、图 5 和图 6 更复杂,本实施例由于使两指环电性隔离的氧化层结构比图 3、图 4、图 5 和图 6 更不规则,导电插塞交叉安排,藉此,可以增加三个维度的强度,所以图 7A、图 7B 和图 7C 实施例的结构比图 3、图 4、图 5 和图 6 的结构更加坚固而不易破碎。

不过要注意的是,本发明的指环结构并不一定要是像图 1A 中的 110 那种封闭的环状结构,本发明的指环结构也可以是其他非封闭的环状结构。或是可以将藉由结合与本发明精神相符的结构(如前述实施例的结构,或仅有微小变化的结构)而形成静电放电指环结构。

以上所述仅为本发明的较佳实施例而已,并非用以限定本发明的申请专利范围;凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰,均应包含在下述的申请专利范围内。

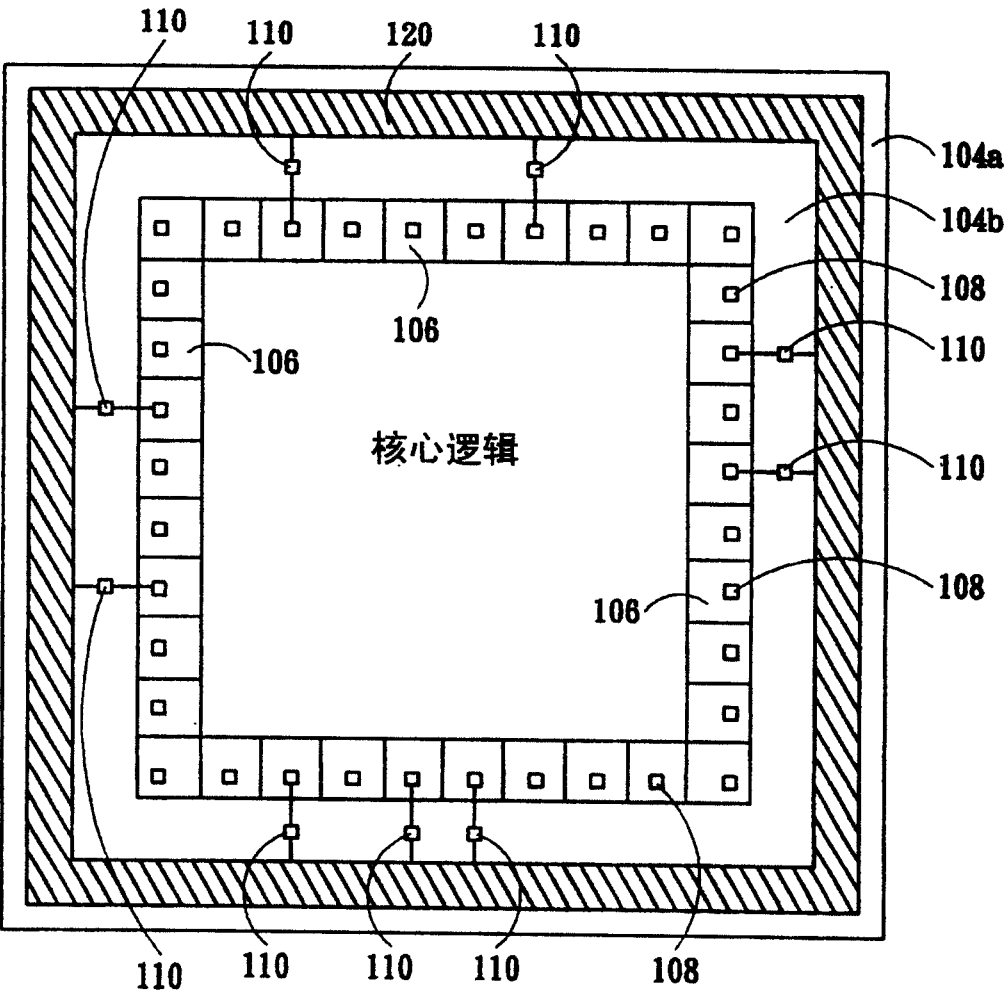


图 1A

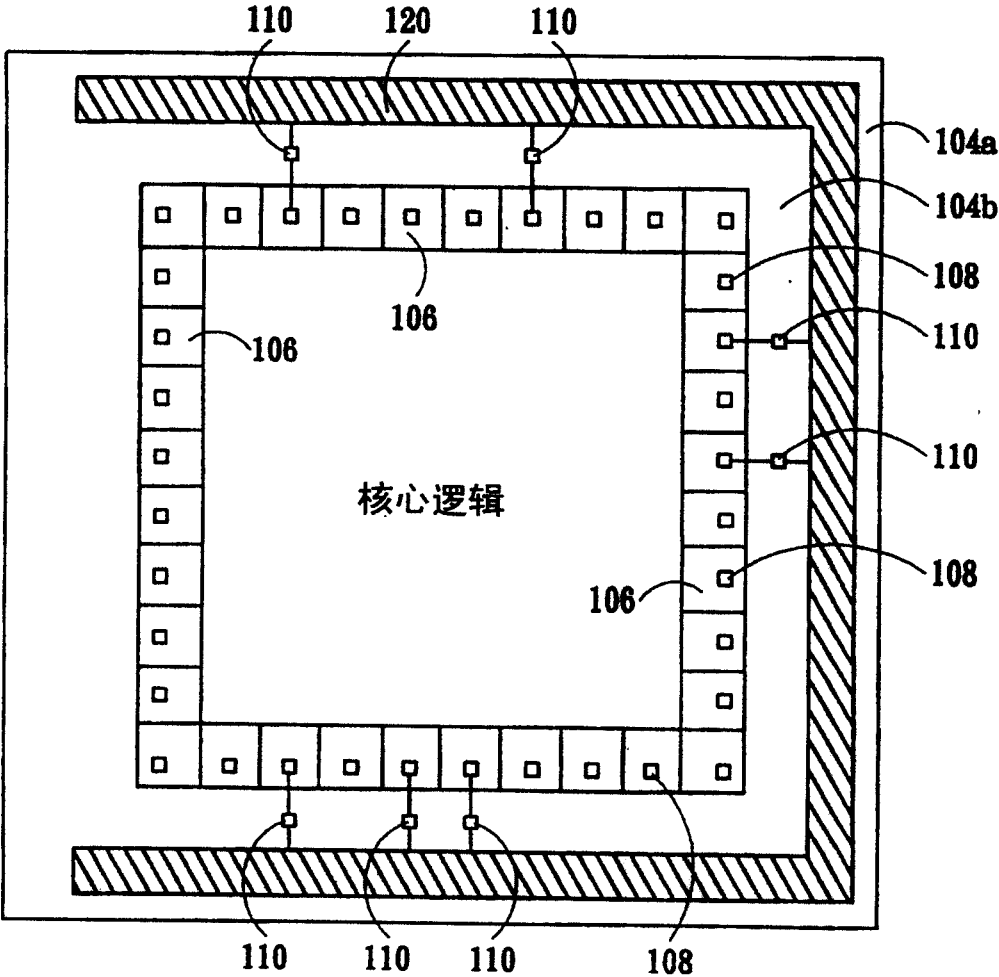


图 1B

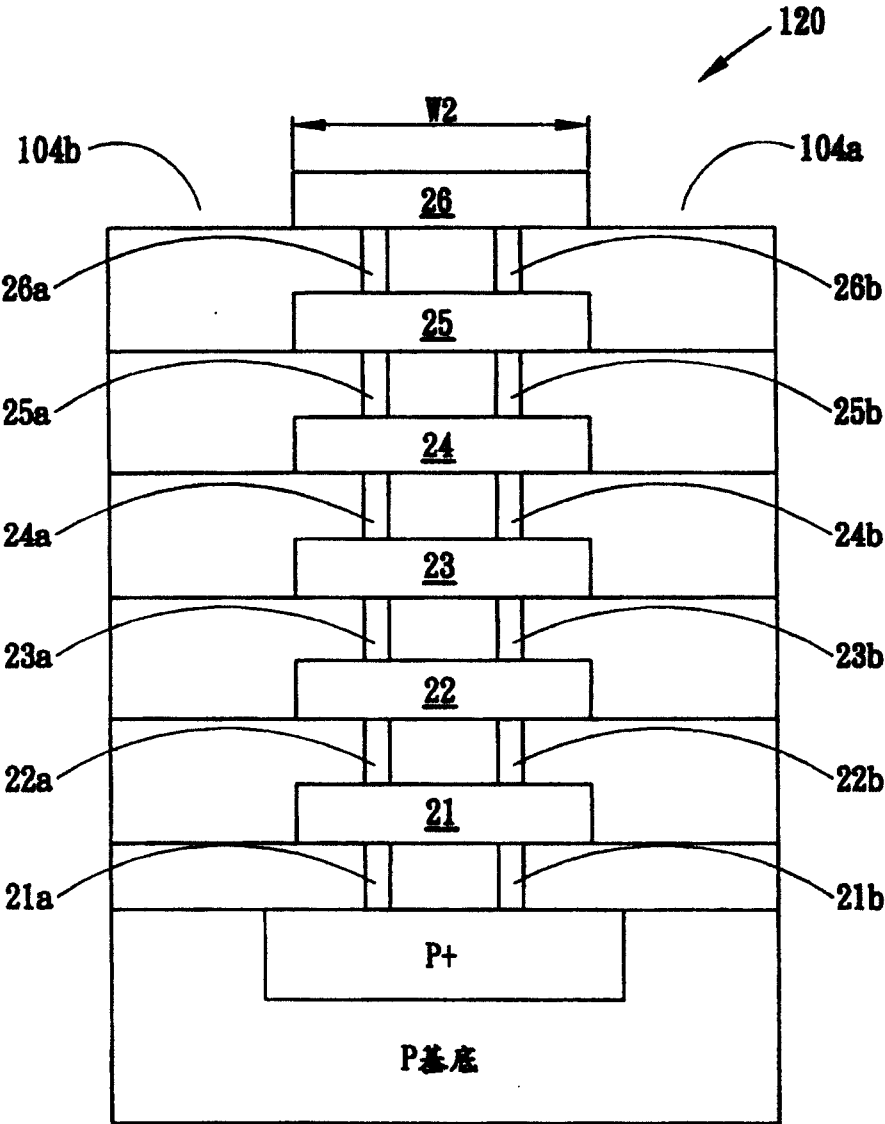


图 2

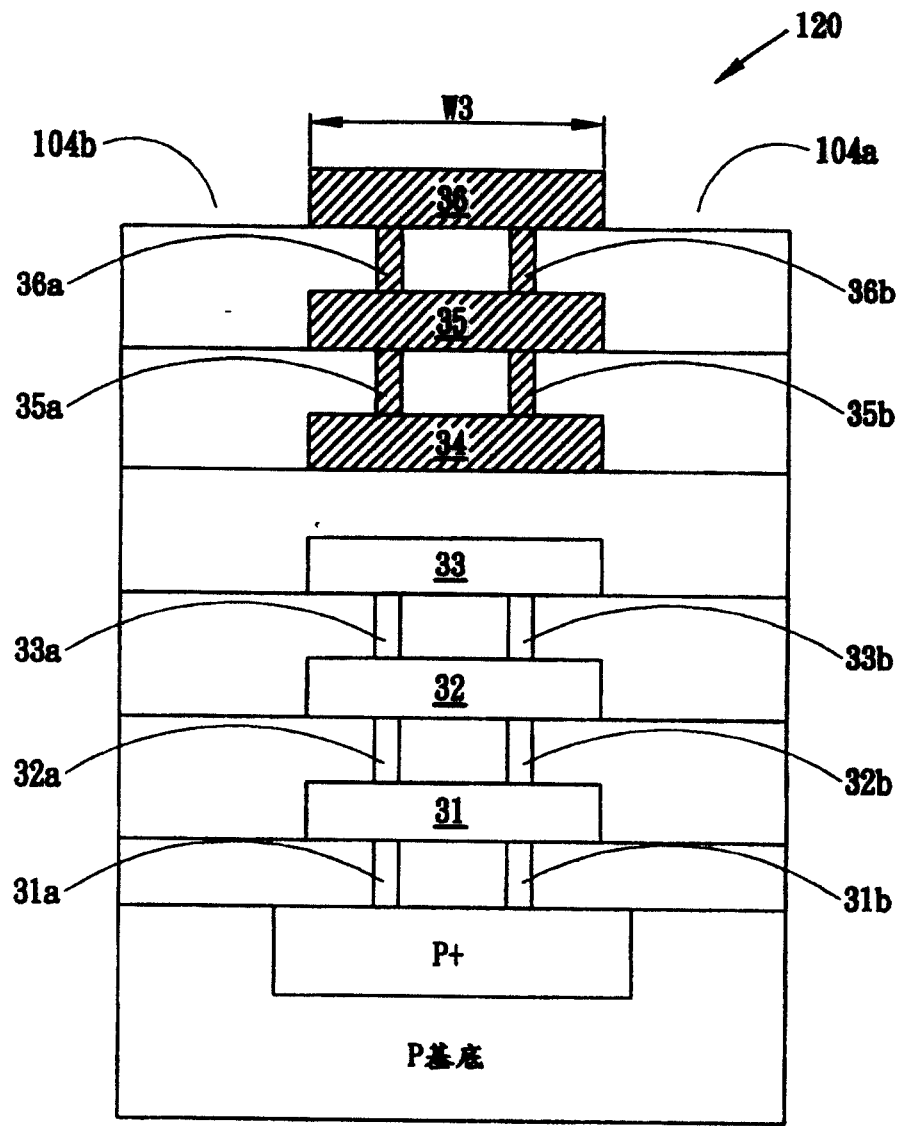


图 3

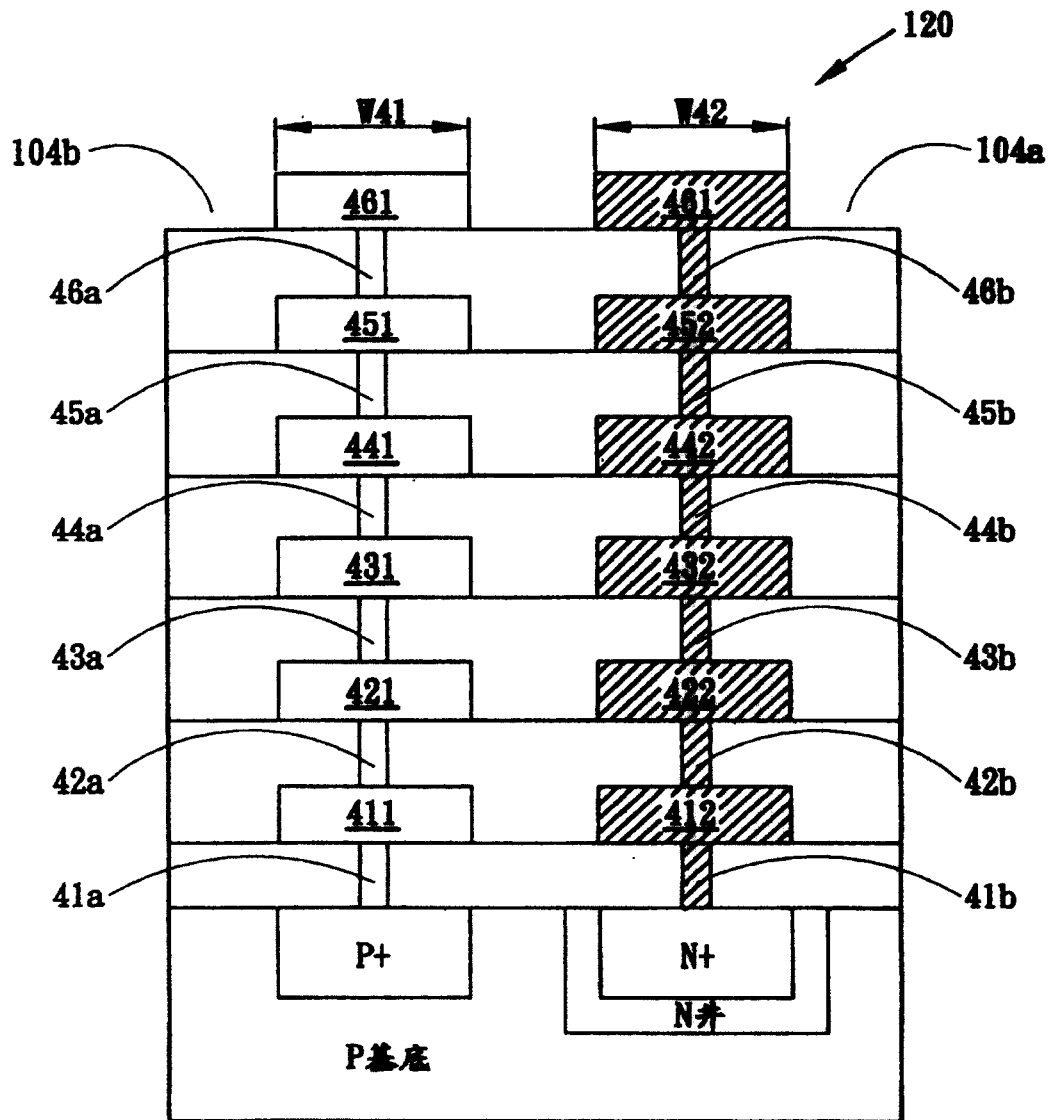


图 4

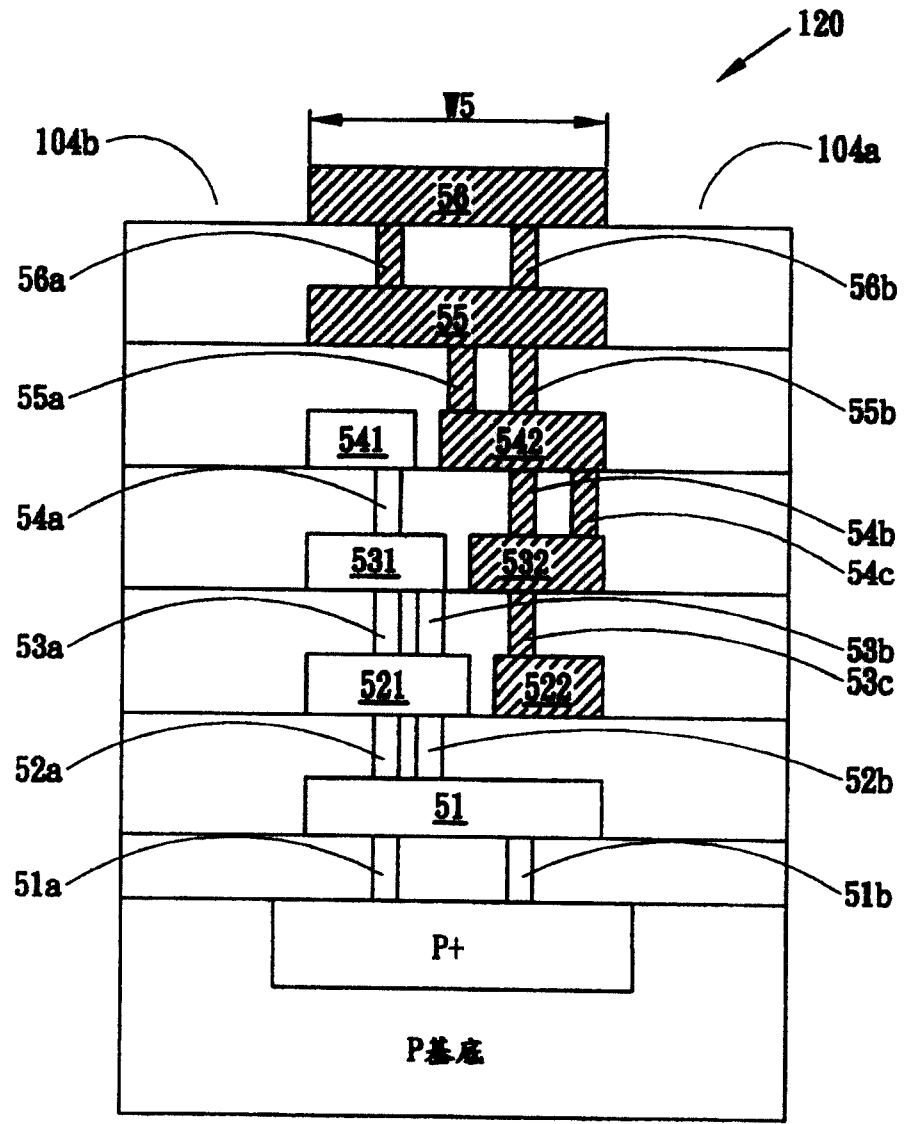


图 5

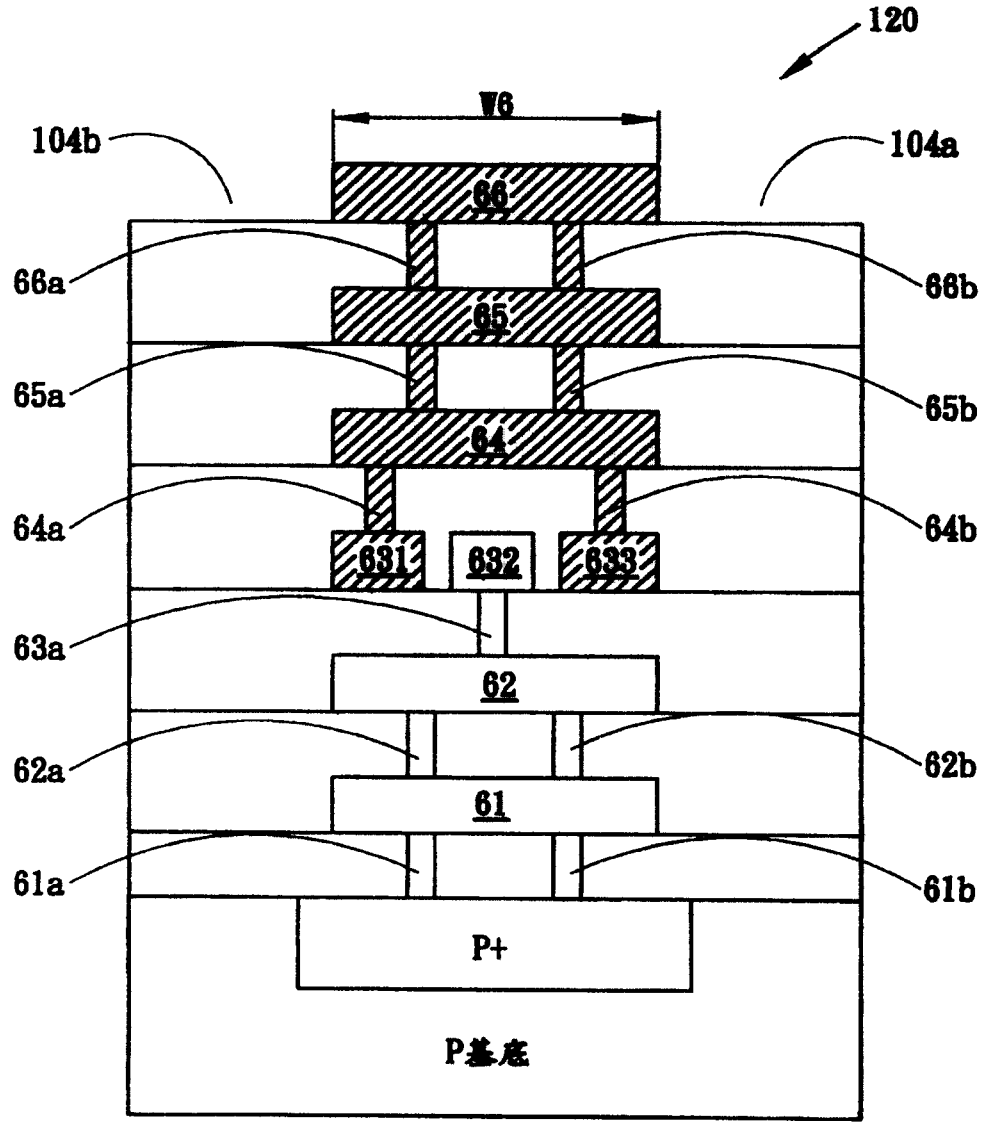


图 6

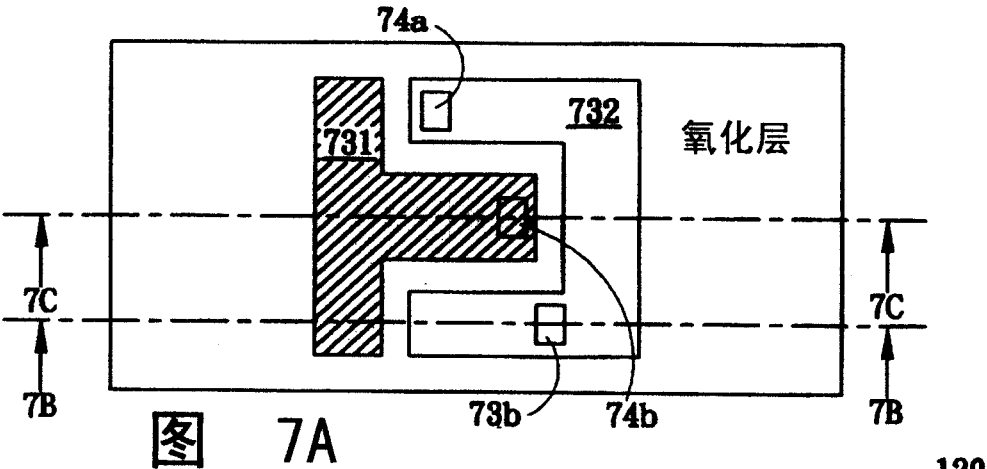


图 7A

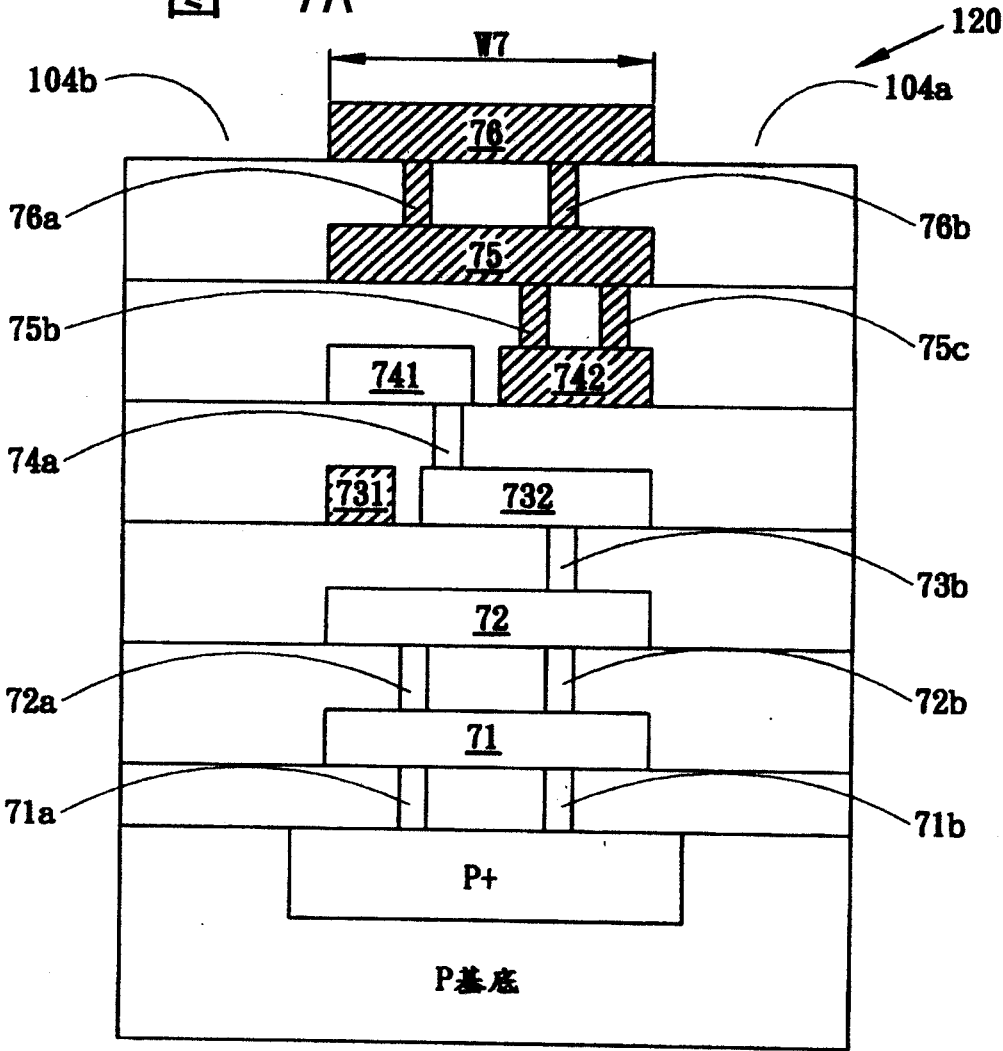


图 7B

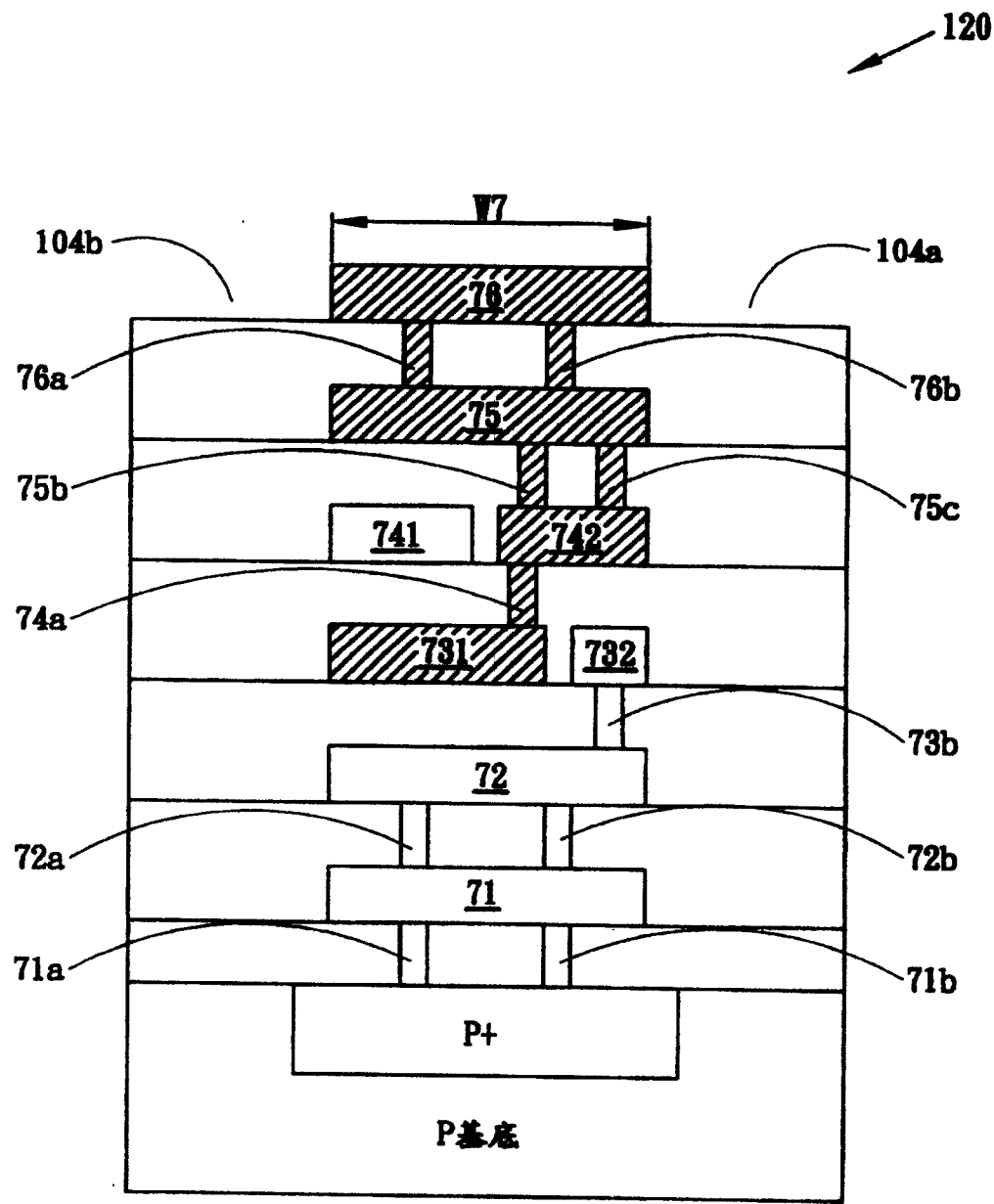


图 7C